

【일본 공개특허공보 공개번호 특개평7-111095 (1995.4.25)】

(10) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-111095

(43) 公開日 平成7年(1995)4月25日

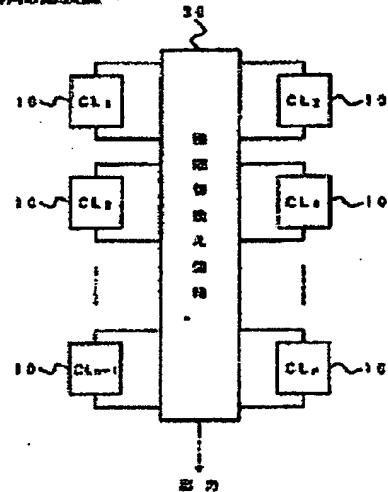
(51) Int.Cl.*	種別記号	序内整理番号	F 1	技術表示箇所
G 11 C 16/06				
G 05 F 1/00	J	4237-5H		
H 02 M 3/07		8726-5H		
			G 11 C 17/00 309 D	
			審査請求 未請求 請求項の数3 FD (全 12 FD)	
(21) 出願番号	特願平5-354151		(71) 出願人	080003078 株式会社東芝 神奈川県川崎市幸区横川町72番地
(22) 出願日	平成5年(1993)12月28日		(72) 発明者	丹沢 機 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
(31) 優先権主張番号	特願平5-203351		(72) 発明者	田中 智晴 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
(32) 優先日	平5(1993)8月17日		(72) 発明者	中村 寛 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
(33) 優先権主張国	日本 (JP)		(74) 代理人	弁理士 鈴江 武彦
				最終頁に接ぐ

(54) 【発明の名称】 界面回路及び界面回路を備えた不揮発性半導体記憶装置

(57) 【要約】

【目的】 出力電位が低い時の電力効率を上げることができ、昇圧電位立ち上がり時間は短縮することができる昇圧回路を提供すること。

【構成】 入力電位を所定の電位まで昇圧する昇圧回路において、キャパシタ及びスイッチング素子からなる複数個の昇圧セル10と、これらの昇圧セル10の接続状態を切換える接続切換え回路30とを設け、接続切換え回路30により、昇圧セル10を1個又は複数個直列に接続して構成する昇圧セル群20を出力に対して並列に接続し、かつ昇圧セル群20内の昇圧セル10の数と昇圧セル群20の数を可変することを持つとする。



【特許請求の範囲】

【請求項 1】 入力電位を昇圧して出力する複数個の昇圧セルと、これらの昇圧セルの接続状態を切替える接続切換え回路とを備えし、前記接続切換え回路は、昇圧セルを 1 個又は複数個並列に接続して構成する昇圧セル群を出力に対して並列に接続し、かつ昇圧セル群内の昇圧セルの数と昇圧セル群の数を可変するものであることを特徴とする昇圧回路。

【請求項 2】 昇圧用キーパシタと電荷伝送ゲートで構成される複数個の昇圧セルと、これらの昇圧セルの出力に対して直列接続される数と前記昇圧用キーパシタの容量の大きさを可変にする昇圧容量可変手段とを備えし、前記昇圧容量可変手段は、出力電圧の低い間は、前記昇圧用キーパシタの容量を大きくし、出力に対して直列接続される昇圧セルの数を小さくし、出力電圧の上昇と共に前記昇圧用キーパシタの容量を小さくし、出力に対して直列接続される昇圧セルの数を大きくするものであることを特徴とする昇圧回路。

【請求項 3】 電源電圧よりも高い電圧を生じる昇圧回路を備えた不揮発性半導体記憶装置において、前記昇圧回路は、複数個の昇圧セルが直列接続された第 1 及び第 2 の昇圧セル群と、第 1 及び第 2 の昇圧セル群の接続状態を切替える接続切換え回路とを備えし、前記接続切換え回路は、第 1 の昇圧セル群の出力端子と第 2 の昇圧セル群の出力端子間に接続された第 1 の MOS ドラッグ・トランジスタと、第 1 の昇圧セル群の出力端子と第 2 の昇圧セル群の入力端子間に接続された第 2 の MOS ドラッグ・トランジスタからなり。

第 1 及び第 2 の MOS ドラッグ・トランジスタは各々のゲートに入力される信号電圧によって選択的にオンするものであることを特徴とする昇圧回路を備えた不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電位を昇圧するための昇圧回路及びそれを備えた不揮発性半導体記憶装置に係わり、特に EEPROM 等の半導体集積回路装置の内部に形成される昇圧回路の改良に関する。

【0002】

【従来の技術】 従来、半導体不揮発性記憶装置 (EEPROM) においては、信号の書き込みや消去時に電源電圧よりも高い電位を必要とするため、図 1 (a) に示すような複数の昇圧セル CL を直列接続した昇圧回路が用いられている。昇圧セル CL は、図 1 (a) (b) に示すように、キーパシタ C とスイッチングモード Q で構成されている。また、この昇圧回路の具体的な構成を図 2 (a) に示し、それを駆動するためのクロック φ, /φ を図 2 (b) に示しておく。

【0003】 この昇圧回路では、出力に対して直列接続される昇圧セルの個数は必要とする高電位の大きさに応

じて固定され、一般にその個数を固定したまま駆動される。従って従来の昇圧回路では、直列接続される昇圧セルの個数が予め固定された昇圧セルの個数より少數で十分な期間、即ち昇圧電位立ち上がり時間において、不必要に電力効率を落としている。このため、必要な電位になるまでの時間が長くなるという問題があつた。

【0004】

【発明が解決しようとする課題】 このように、EEPROM 等の半導体集積回路装置に形成される従来の昇圧回路においては、接続される昇圧セルの個数が予め固定された昇圧セルの個数より少數で十分な期間において、不必要に電力効率を落とし、昇圧電位立ち上がり時間が長くなるという問題があつた。

【0005】 本発明は、上記事務を考慮してなされたもので、その目的とするところは、出力電位が低い間の電力効率を上げることができ、昇圧電位立ち上がり時間を短縮することによって昇圧回路及びこの昇圧回路を備えた不揮発性半導体記憶装置を提供することにある。

【0006】

【課題を解決するための手段】 本発明は、上記課題を解決するために、次のような構成を採用している。

【0007】 即ち、本発明 (請求項 1) は、入力電位を昇圧して出力する複数個の昇圧セルと、これらの昇圧セルの接続状態を切替える接続切換え回路とを備えた昇圧回路において、接続切換え回路は、昇圧セルを 1 個又は複数個並列に接続して構成する昇圧セル群を出力に対して並列に接続し、かつ昇圧セル群内の昇圧セルの数と昇圧セル群の数を可変するものであることを特徴とする。

【0008】 ここで、本発明の最も美しい実施形態としては、次のものがあげられる。

(1) 昇圧セルの接続状態を昇圧回路の駆動中に切換えること。

(2) 昇圧セル群は、出力の方向に電荷を転送するように位相のずれた複数のクロックにより駆動されること。

(3) 接続切換え回路は、出力電位の上昇と共に昇圧セル群中の昇圧セルの数を増やすものであること。

(4) 接続切換え回路は、出力電位の上昇と共に昇圧セル群中の昇圧セルの数を増やすし、同時に昇圧セル群の数を減らすものであること。

(5) 接続切換え回路は、昇圧セル群の数が N 個で、

(1 当り N) 番目の昇圧セル群中の昇圧セルの数が M' であるとき、出力電位の上昇とともに M' の値が一定になるように N を調節するものであること。

(6) 組織の切換えは、予め設定された時間に行われるこ

(7) 接続の切換えは、外部コマンドによって行われること。

【0009】 また、本発明 (請求項 2) は、昇圧用キーパシタと電荷伝送ゲートで構成される複数個の昇圧セルと、これらの昇圧セルの出力に対して直列接続される数

と昇圧用キャパシタの容量の大きさを可変にする昇圧容量可変手段と備えた昇圧回路において、底波容量可変手段は、出力電圧の比較的低い時は、昇圧用キャパシタの容量を大きくし、出力に対して直列接続される昇圧セルの数を小さくし、出力電圧の上昇と共に、昇圧用キャパシタの容量を小さくし、出力に対して直列接続される昇圧セルの数を大きくするものであることを特徴とする。

【0010】ここで、本発明の望ましい実施盤様としては、次のものがあげられる。

(1) 横波回路の昇圧セルが直列接続された第1及び第2の昇圧セル群を有する昇圧回路において、第1の昇圧セル群の出力が第2の昇圧セル群の入力になるように接続されると、第1の昇圧セル群の出力と昇圧回路の出力の間に電荷遮断ゲートを設ける。昇圧回路の出力電圧の比較的低い時は、昇圧用キャパシタを駆動するクロックを第1及び第2の昇圧セル群を昇圧回路の出力に対して並列になるようにし、その結果、昇圧用キャパシタの容量は比較的大きく、出力に対して直列接続される昇圧セルの数は比較的小さくできる。昇圧回路の出力電圧が比較的大きくなつたとき、昇圧用キャパシタを駆動するクロックを第1及び第2の昇圧セル群を昇圧回路の出力に対して直列になるようにし、即ち第1の昇圧セル群の出力が第2の昇圧セル群の入力になるようにし、その結果、昇圧用キャパシタの容量は比較的小さく、出力に対して直列接続される昇圧セルの数を比較的大きくできる。

(2) 出力に対して直列接続される昇圧セルの数と昇圧用キャパシタの容量の大きさ変更は、昇圧回路の出力電圧を検出してその設定された値と電圧と比較することによって行われること。

(3) 出力に対して直列接続される昇圧セルの数と昇圧用キャパシタの容量の大きさ変更は、予め設定された時間に行われること。

(4) 出力に対して直列接続される昇圧セルの数と昇圧用キャパシタの容量の大きさ変更は、外部コマンドによつて行われること。

【0011】また、本発明(請求項1)は、不揮発性半導体記憶装置において、複数個の昇圧セルが直列接続された第1及び第2の昇圧セル群と、第1及び第2の昇圧セル群の接続状態を切換える接続切換え回路とを有する昇圧回路を備え、接続切換え回路は、第1の昇圧セル群の出力端子と第2の昇圧セル群の出力端子間に接続された第1のMOSトランジスタと、第1の昇圧セル群の出力端子と第2の昇圧セル群の入力端子間に接続された第2のMOSトランジスタとからなり、第1及び第2のMOSトランジスタは各々のゲートに入力される信号電圧によって選択的にオンするものであることを特徴とする。

【0012】ここで、本発明の望ましい実施盤様としては、次のものがあげられる。

(1) 第1の昇圧セル群の出力端子を入力としブート出力

を第1のMOSトランジスタのゲートに与える第1のブート回路と、第1の昇圧セル群の出力端子を入力としブート出力を第2のMOSトランジスタのゲートに与える第2のブート回路とを設け、第1及び第2のブート回路に入力する信号によって第1及び第2のMOSトランジスタを選択的にオンすること。

(2) ブート回路を次のように構成したこと。即ち、一端にパルスV1が入力されるキャパシタC1と、一端にパルスV2が入力されるキャパシタC2と、第1の昇圧セル群の接続端子をソースに、キャパシタC1の他端をドレインに、昇圧回路の出力及びキャパシタC2の他端をゲートに接続されるMOSトランジスタQn7と、第1の昇圧セル群の接続端子をソースに、昇圧回路の出力をドレインに、キャパシタC1の他端をゲートに接続されるMOSトランジスタQn8と、外部の底電位をソースに、キャパシタC1の他端をドレインに接続され、昇圧回路の出力を切換えるときに論理値を反転する信号をゲートに入力されるMOSトランジスタQn9と、外部の底電位をソースに、キャパシタC2の他端をドレインに接続され、論理値を反転することによって昇圧回路の出力を切換える信号をゲートに入力されるMOSトランジスタQn10と、から構成すること。

【0013】

【作用】本発明によれば、昇圧回路の出力電圧が低いときは多數の昇圧セルを出力に対して並列接続された昇圧回路を用いることができ、これによって出力電圧の低い時、直列接続する昇圧セルの個数を固定したまま駆動される従来の昇圧回路に比べ、電力効率を上げることができる。

【0014】例えば、昇圧セルをN個接続された昇圧回路において、昇圧回路駆動開始時に昇圧セルをN個並列接続しておくことによって、昇圧回路の負荷容量が回路内電流に比べて十分大きい場合、昇圧セルをN個直列接続された昇圧回路に比べて、原理的にN倍の供給電流を得ることができる。これにより、昇圧電位立上がりが確くなる。そして、電流の上昇と共に昇圧セルの並列接続数を減らし、直列接続数を増やすことにより、必要な電位を得ることができる。

【0015】このようにして、昇圧回路の電力効率を最適にするように、昇圧回路を駆動開始時に少直列多並列接続し、出力電圧の上昇と共に多直列少並列接続構成に駆動していくことにより、従来の昇圧回路に比べ電力効率が高効率になり、その結果、昇圧電位立上がり時間は短縮される。また、この方法により出力レベルを可変にすることも可能となる。

【0016】また、このような昇圧回路を具備した不揮発性半導体記憶装置であれば、昇圧電位立上がり時間の短縮によって高速化がはかれる。また、従来と同様の立上がり時間の仕様の場合でも、セルの容量を小さくできるので低電力化を達成することができる。

【0017】

【実施例】以下、本発明の実施例を図面を参照して説明する。

【実施例1】図1は、本発明の第1の実施例に係わる昇圧回路の構成構成を示すブロック図である。この昇圧回路は、n個の昇圧セル10 (CL1, CL2, ~, CLn)と、接続切換回路30とから構成されている。昇圧セル10は、前記図19に示すようにキャパシタヒスイッティング素子等で構成されたものである。接続切換回路30は多段のスイッチング素子からなるもので、1箇又は複数個の昇圧セル10を直列接続して通路する昇圧セル群20を複数構成し、これらの昇圧セル群20を出力に対して並列接続するもので、かつ昇圧セル群20内の昇圧セル10の数及び昇圧セル群20の数を可変し得るものとなっている。

【0018】このような構成において、駆動開始時刻t0から時刻t1までは、図2(a)に示すように、n個の昇圧セル10はそれぞれで1つの昇圧セル群20の構成要素であり、それらは出力に対して互いに並列接続されて駆動される。

【0019】時刻t1で昇圧セル群20の構成及び接続が切換えられ、図2(b)に示すように、各昇圧セル群20は2個の直列接続される昇圧セル10で構成される。このとき、出力に対して互いに並列接続されて駆動される昇圧セル群20の数はn/2箇となる。

【0020】時刻t2 ~ t3-1で、同様に昇圧セル群20の構成及び接続が切換えられ、昇圧セル群20中の昇圧セル10の数は増えていき、昇圧セル群20の数は減っていく。

【0021】時刻t3-1以降では、図2(c)に示すように、n個の昇圧セル10を全て出力に対して互いに並列接続される一個の昇圧セル群20が構成され、この昇圧セル群20が駆動される。

【0022】従来の昇圧回路は、前記図18に示すようにn個の昇圧セルで構成され、駆動開始時刻t0以降、出力に対して互いに並列接続される昇圧セルの数を一定にしたままで駆動される。

【0023】図3は、本実施例の昇圧回路の出力波形を従来と比較して示す図である。昇圧回路の電力効率を最適にするように、昇圧回路を駆動開始時に少直列少並列接続構成し、出力電位の上昇と共に多直列少並列接続構成に構成していくことによって、従来の昇圧回路に比べ高効率になり、その結果、昇圧電位立上がり時間は短縮されることを表している。

【0024】このように本実施例によれば、出力に対して並列接続する昇圧セル群20の数と、昇圧セル群20内の昇圧セル10の数を出力電位上昇と共に可変することにより、電力効率の向上をはかることができ、特に昇圧電位立上がり時間は短くすることができる。このため、EEPROMの昇圧回路に適用した場合、EEPROM

の書き込み及び消去時間の短縮に寄与することが可能となる。

【実施例2】図4は、本発明の第2の実施例に係わる昇圧回路の構成構成を示すブロック図である。この昇圧回路は、2つの昇圧セル群20(A, B)、接続切換回路30、出力電位検出回路40で構成される。

【0025】昇圧セル群A、Bはそれぞれ、複数の昇圧セル10で構成されている。接続切換回路30は、これらの昇圧セル群の接続を切換え入力信号によって切換えを行ふものであり、例えはMOSトランジスタで構成されている。出力電位検出回路40は、昇圧回路の出力電位Vppを予め設定された電位と比較して、これらの電圧の大小に応じた論理値を出力するものである。

【0026】駆動開始以降、昇圧セル群Aの接続ノードN0は、接続切換回路30によって昇圧セル群Bの接続ノードN1に接続され、これらの昇圧セル群A、Bは出力に対して互いに並列接続されて駆動される。昇圧回路の出力電位Vppが予め設定された電位より大きくなると、出力電位検出回路40の出力はその論理値を反転し、昇圧セル群Aの接続ノードN0は接続切換回路30によって昇圧セル群Bの接続ノードN2に接続切換えられる。その結果、これ以降、これらの昇圧セル群A、Bは出力に対して互いに並列接続されて駆動される。

【0027】このように本実施例によれば、出力電位が低いときは昇圧セル群A、Bを並列接続して昇圧電位の立上がりを速め、その後に昇圧セル群A、Bを直列接続して十分な昇圧電位を得ている。従って、電力効率の向上をはかることができ、第1の実施例と同様の効果が得られる。

【実施例3】図5は、本発明の第3の実施例に係わる昇圧回路の構成構成を示すブロック図である。この昇圧回路は、昇圧セル群20(CG1, ~, CG4)、接続切換回路30(S1, S2, S3)、接続切換えカウンタ50で構成される。

【0028】接続切換えカウンタ50は駆動開始からの時間数をカウントするもので、その時間数が予め設定された時間より長くなると、接続切換えカウンタ50の出力はその論理値を反転する。駆動開始以降、昇圧セル群CG1の接続ノードN10は、接続切換え回路S1によって昇圧セル群CG2の接続ノードN11に接続され、同様にN20はN21に、N30はN31にそれぞれ接続される。

【0029】駆動開始時刻から予め設定された第1の時間が経つと、昇圧セル群CG1、CG2及び昇圧セル群CG3、CG4の接続がそれぞれ接続切換え回路S1、S2によってN10はN12に、N20はN22にそれぞれ切換えられる。その結果、昇圧セル群CG1、CG2中の昇圧セルを直列接続された第1の昇圧セル群と昇圧セル群CG3、CG4中の昇圧セルを直列接続された第2の昇圧セル群とが並列に接続された回路構成に構成される。【0030】駆動開始時刻から予め設定された第2の時

間が経つと、接続切換え回路 S 3 によって N 30 は N 32 に接続され、その結果、第 1 の昇圧セル群と第 2 の昇圧セル群は出力に対して互いに直列接続される。即ち、昇圧回路駆動開始時刻から予め設定された第 2 の時間経過以降、第 1 の昇圧セル群中の昇圧セルと第 2 の昇圧セル群中の昇圧セルが全て出力に対して互いに直列接続される。第 1 の昇圧セル群は構成される。

【0031】このように本実施例では、昇圧セル群 CG 1, ~, CG 4 の接続回路を、駆動開始時刻から順に、昇圧セル群 CG 1, ~, CG 4 の並列接続構成、昇圧セル群 CG 1, CG 2 の直列接続回路と昇圧セル群 CG 3, CG 4 の並列接続回路と並列接続構成、昇圧セル群 CG 1, ~, CG 4 の直列接続構成、と切換えることにより、電力効率の向上をはかることができる。

【実施例 4】図 6 は、本発明の第 4 の実施例に係わる昇圧回路の框図構成を示すブロック図である。この昇圧回路は、n 個の昇圧セル 1 つ (C 1, ~, C n)、接続切換え回路 30 (S 1, ~, S 1)、コマンドバッファ 60、入力バッファ 70 で構成される。

【0032】接続切換え回路 30 は、第 3 の実施例のそれを拡張したものであり、時間の経過と共に順次、1 個の昇圧セルからなる昇圧セル群を n 個並列、2 個の昇圧セルからなる昇圧セル群を n / 2 個並列、4 個の昇圧セルからなる昇圧セル群を n / 4 個並列、…と切換えるものとなっている。

【0033】この回路では、駆動開始時刻以降に入力バッファ 70 に外部コマンドが入力されると、コマンドバッファ 60 を通して接続切換え回路 30 により昇圧セル 1 つ間の接続が切換えられる。そして、その入力の度に昇圧回路の出力に対して並列接続される昇圧セル群の数が追っていく。

【実施例 5】図 7 は、本発明の第 5 の実施例に係わる昇圧回路を示すもので、接続切換え回路 30 を具体的に表した回路構成図である。複数の昇圧セルが異なる 2 つの昇圧セル群 20 (CG 1, CG 2) に対してスイッチング素子としての n MOS トランジスタ Qn3, Qn4 が接続されている。

【0034】n MOS トランジスタ Qn3, Qn4 は、昇圧セル群 CG 1, CG 2 の昇圧回路出力に対する接続を切換えるために設けられており、接続又は切離される接続ノードにこれらのソースとドレインが接続されている。即ち、第 1 の MOS トランジスタ Qn3 のソースは第 1 の昇圧セル群 CG 1 の出力端子に、ドレインは第 2 の昇圧セル群 CG 2 の出力端子に接続されている。第 2 の MOS トランジスタ Qn4 のソースは第 1 の昇圧セル群 CG 1 の出力端子に、ドレインは第 2 の昇圧セル群 CG 2 の入力端子に接続されている。

【0035】n MOS トランジスタ Qn3, Qn4 の各々のゲートには、高電位 Vq1、低電位 Vss、p MOS トランジスタ Qp1, Qp2、n MOS トランジスタ Qn1, Qn2 で

構成されるフリップ・フロップの 2 出力のそれぞれに接続されている。そして、接続切換えカウンタ 50 の出力はフリップ・フロップの一方の入力端に直接、またインバータ 1 を介して他方の入力端に供給されている。

【0036】このような構成においては、接続切換えカウンタ 50 の出力がハイであるときに Qn3 はオンしており、一方 Qn4 はオフしている。従って、昇圧セル群 CG 1, CG 2 は、昇圧回路の出力に対して並列接続される。次に、接続切換えカウンタ 50 の出力の論理値が反転しローとなると、Qn3 はオフし、Qn4 はオンする。その結果、昇圧セル群 CG 1, CG 2 は、昇圧回路の出力に対して直列接続に切換えられる。

【実施例 6】図 8 は、本発明の第 6 の実施例に係わる昇圧回路を示すもので、接続切換え回路を具体的に表した別の回路構成図である。この回路は、昇圧セル群の接続切り換えのための MOS トランジスタにブート回路を設けたものである。

【0037】n MOS トランジスタ Qn5, Qn6 は、昇圧セル群 CG 1, CG 2 の昇圧回路出力に対する接続を切換えるために設けられており、接続又は切離される接続ノードにこれらのソースとドレインが接続されている。即ち、Qn5 のソースは第 1 の昇圧セル群 CG 1 の出力端子に、ドレインは第 2 の昇圧セル群 CG 2 の出力端子に接続されている。Qn6 のソースは第 1 の昇圧セル群 CG 1 の出力端子に、ドレインは第 2 の昇圧セル群 CG 2 の入力端子に接続されている。

【0038】n MOS トランジスタ Qn5 のゲートには昇圧セル群 CG 1 の出力端子 (接続ノード N) の電位を入力とするブート回路 80 (BT 1) の出力が印加され、n MOS トランジスタ Qn6 のゲートには昇圧セル群 CG 1 の出力端子の電位を入力とするブート回路 80 (BT 2) の出力が印加される。そして、これらの BT 1, BT 2 は出力電位検出回路 40 の出力により制御されるものとなっている。

【0039】出力電位検出回路 40 は、昇圧回路の出力電位 Vpp を予め設定された電位と比較して、これらの電圧の大小に応じた論理値を出力する。昇圧回路の出力電位 Vpp が予め設定された電位より低い間、BT 1 の出力は昇圧セル群 CG 1 の接続ノード N の電位のブート電位となり、BT 2 の出力は低電位となり、Qn5 はオン、Qn6 はオフとなる。従って昇圧セル群 CG 1, CG 2 は、昇圧回路の出力に対して並列接続される。

【0040】次に、昇圧回路の出力電位 Vpp が予め設定された電位より高くなると、出力電位検出回路 40 の出力の論理値が反転し、Qn5 はオフ、Qn6 はオンとなる。その結果、昇圧セル群 CG 1, CG 2 は、昇圧回路の出力に対して直列接続に切換えられる。

【0041】図 9 は、図 8 のブート回路の具体的な構成を示す回路構成図である。図 1 では、このブート回路の入力波形である。このブート回路は、一端にパルス V 1

が入力されるキャパシタ C1 と、一緒にパルス V2 が入力されるキャパシタ C2 と、昇圧セル群 CG1 の接続ノード N1 をソース、キャパシタ C1 の他端をドレイン、本回路の出力及びキャパシタ C2 の他端をゲートに接続される nMOS トランジスタ Qn7 と、昇圧セル群 CG1 の接続ノード N1 をソース、本回路の出力をドレイン、キャパシタ C1 の他端をゲートに接続される nMOS トランジスタ Qn8 と、外部の低電位をソース、キャパシタ C1 の他端をドレイン、本回路の出力を切換えるときに論理値を反転する信号 VD0 をゲートに接続される nMOS トランジスタ Qn3 と、外部の低電位をソース、キャパシタ C2 の他端をドレイン、論理値を反転することによって本回路の出力を切換える信号 VD0 をゲートに接続される nMOS トランジスタ Qn10 と、で構成されている。

【0042】 但し、本回路の出力を切換えるときに論理値を反転する信号 VD0 がハイであるときは、キャパシタ C1、C2 の一端に入力されるパルス V1、V2 はローにしておく。V1 がローになってから、パルス V1、V2 が同時にハイにならないように交互にハイ、ローを繰り返していくと、本回路の出力は昇圧セル群 CG1 の接続ノード N1 のブート電位に近づいていく。

【0043】 このようなブート回路を用いれば、スイッチング用 MOS トランジスタのソースに与えられる電位が多段の昇圧セルにより昇圧されて高くなったり場合でも、該 MOS トランジスタのゲート電位をソースに対して十分に高くすることができ、該 MOS トランジスタを介して出力される昇圧電位の低下を防止することができる。

（実施例7） 図1-1は、本発明の第7の実施例に係わる昇圧回路の具体的構成を示す回路構成図である。基本的な構成は図2-1に示した従来回路（IEEE Journal of Solid-State Circuits, vol. SC-11, No. 3, June 1976, p374-378）と同様であるが、本実施例ではこれに加えて、段階電圧可変手段が設けられている。

【0044】 昇圧用キャパシタ QD1～QD4 と電荷貯蔵ゲート Qn5～Qn8 で4つの昇圧セルが構成され、各々の昇圧セルには Qn1～Qn4 を介して電源 Vdd がそれぞれ印加される。

【0045】 ここで、各々の昇圧セルは前記図1-9 (e) に示したものと等価であり、第1の昇圧セル (QD1, Qn5, Qn1) のノード N2 は第2の昇圧セル (QD2, Qn6, Qn2) のノード N1 に接続され、第2の昇圧セルのノード N2 は第3の昇圧セル (QD3, Qn7, Qn3) のノード N1 に接続され、第3の昇圧セルのノード N2 は第4の昇圧セル (QD4, Qn8, Qn4) のノード N1 に接続され、第4の昇圧セルのノード N2 は出力端に接続されている。ここまででは、従来の回路構成と同様である。

【0046】 第1の昇圧セルのノード N1 はトランジス

タ Qn9 を介して出力端に接続され、第2の昇圧セルのノード N1 はトランジスタ Qn10 を介して出力端に接続され、第3の昇圧セルのノード N1 はトランジスタ Qn11 を介して出力端に接続されている。また、第1～第3の昇圧セルの各々のノード N3 には、NANDゲート G (G1～G10)、インバータ I (I1～I5)、遅延回路 D (D1, D2) からなる論理回路を介して駆動パルス φon が印加され、第4の昇圧セルのノード N3 には駆動パルス φon が印加されている。

【0047】 駆動パルス φon は昇圧回路を駆動するための駆動パルスであり、φon が図1-2に示すように、NANDゲート G11、インバータ I1 (I6～I9) からなるリングオシレータの入力信号であり、また φon がリングオシレータの出力信号である。

【0048】 このような構成において、φon がローからハイに変わると発振が始まり、昇圧回路の駆動中には φon がハイに固定される。φon がローからハイに変わって時間 t1 が経過するまでは、電荷貯蔵ゲートである NMOS トランジスタ Qn9～Qn11 がオン、Qn5～Qn7 がオフするため、D タイプ MOS トランジスタで構成される4つの昇圧セル群をキャパシタ QD1～QD4 は、それぞれ出力に対して並列に駆動される。

【0049】 その後、時間 t2 が経過するまでは、電荷貯蔵ゲート Qn5, Qn7, Qn8, Qn10 がオン、Qn6, Qn9, Qn11 がオフするため、キャパシタ QD1, QD2 と QD3, QD4 はそれぞれ昇圧セル群を構成し、昇圧回路はこれら昇圧セル群を並列にして駆動される。より具体的には、キャパシタ QD1 の電荷を QD2 に転送した後、QD2 の電荷を出力端に供給することにより、結果として第1及び第2の昇圧セルを直列接続したことになる。同様に、キャパシタ QD3 の電荷を QD4 に転送した後、QD4 の電荷を出力端に供給することにより、結果として第3及び第4の昇圧セルを直列接続したことになる。

【0050】 さらに、時間 t2 が経過した以降は、キャパシタ QD1～QD4 は出力に対して直列に接続される。この場合も、キャパシタ QD1～QD3 の電荷を QD4 に順次転送した後、QD4 の電荷を出力端に供給することにより、結果として第1～第4の昇圧セルが直列接続されたことになる。ここで、時間 t1 及び t2 は予め設定されている。

【0051】 このように本実施例では、可変クロックによって昇圧セルの出力を制する並接状態を切り換えることができる、従って第1の実施例と同様の効果が得られる。なお、ここでは4つの昇圧セルで構成される昇圧回路の例を述べたが、これに限らず任意の数の昇圧セルで構成される昇圧回路に適用できるのは勿論である。

（実施例8） 図1-3は、本発明の第8の実施例に係わる昇圧回路の具体的構成を示す回路構成図である。各々の昇圧セルは前記図1-9 (b) に示したものと等価であり、QD (QD5～QD20) はキャパシタ、Qn (Qn12

～Qn25) は nMOS ドランジスタを示し、特に段取合意可変手段として Q05～Q010 及び Qn12～Qn20 を付加したことを持つとしている。なお、この種の昇圧回路の基本原理は、文献 (ISSCC 83 SESSION 10 THAM 10.3 p132-133) に開示されている。

【0052】駆動パルス φ11～φ14 は、図 14 (a) に示すように、NAND ゲート G (G12～G21)、インバータ I (I10～I14) 及び遅延回路 D2 からなる論理回路の出力として与えられる。駆動パルス φ21～φ25 は、図 14 (b) に示すように、NAND ゲート G (G22～G29)、インバータ I (I15～I21) 及び遅延回路 D3 からなる論理回路の出力として与えられる。

【0053】駆動パルス φ18～φ17 は、図 15 (a) に示すように、NAND ゲート G (G30～G38)、インバータ I (I22～I24) 及び遅延回路 D4 からなる論理回路の出力として与えられ、駆動パルス φ26～φ27 は、図 15 (b) に示すように、NAND ゲート G (G36～G

37)、インバータ I (I25～I27) 及び遅延回路 D5 からなる論理回路の出力として与えられる。

【0054】また、これら回路に与えられる駆動パルス φR1～φR4 は、図 16 (a) に示すように、NAND ゲート G (G38、G40、G41)、NOR ゲート G (G39、G42)、インバータ I (I28～I37) 及び遅延回路 D (D6～D8) からなるリンクオシレータの出力から与えられる。さらに駆動パルス φon2 は、φon1 を図 16 (b) に示すように遅延回路 D8 を介して与えられる。

【0055】そして、これらの駆動パルス φ11～φ18、φ21～φ28 は、図 17 で表わされる波形を持つリンクオシレータの出力 φR1～φR4 を用いて、下記の (表 1) のように表わすことができる。

【0056】

【表 1】

		時刻		
		0 ≤ t < t0	t0 ≤ t < t	t ≥ t
		φR1	φR1	φR2
駆	φ11	φR1	φR1	φR2
	φ12	φR1	φR2	φR1
	φ13	φR1	φR2	φR2
動	φ14	φR1	φR1	φR1
	φ15	φR2	φR2	φR2
パ	φ16	φR2	L	L
	φ17	φR2	φR1	L
ル	φ18	φR2	L	L
	φ21	φR4	φR4	φR3
ス	φ22	L	φR3	φR4
	φ23	L	L	φR3
ス	φ24	L	φR4	φR4
	φ25	φR3	φR3	φR3
	φ26	φR3	L	L
	φ27	φR3	φR4	L
	φ28	φR3	L	L

ここで、(表 1)において t は昇圧回路の駆動開始時刻から測られた時間を表す。従って、昇圧回路の駆動開始から (φon1) がローからハイに変わったから) 時間 t0 が経過するまでは、ロタイブル MOS ドランジスタで構成される 4 つのキャパシタ Q012、Q014、Q016、Q018 が、それぞれ出力に対して並列に接続され、その後時間 t が経過するまでは、キャパシタ Q012、Q014 と Q016、Q018 はそれぞれ昇圧セル群を構成し、昇圧回路はこれら昇圧セル群を並列にして駆動される。さらにそれ以後は、これら 4 つのキャパシタは出力に対して直列に駆動される。

【0057】このように本実施例では、可変クロックによって昇圧セルの出力に対する接続状態を切り換えることができ、従って第 1 の実施例と同様の効果が得られる。なお、ここでも昇圧セルの数は何等規定されず、任意の数の昇圧セルで構成される昇圧回路に適用できるのは勿論である。

【0058】以上述べた第 1 ～ 第 9 の実施例の昇圧回路は、例えば特開平-1-178634号公報の第 9 図に示される如き NAND 型不揮発性メモリに用いられる昇圧回路に実用して用いることが可能である。また、NAND 型不揮発性メモリに限らず、NOR 型不揮発性メモリでもよく。

要は、昇圧回路を具備する半導体装置に対して本発明は適用可能である。その他、本発明の効果を達成しない範囲で、種々変形して実施することができる。

【0059】

【発明の効果】以上説述したように本発明によれば、昇圧セル群の並列接続及び昇圧セル群内の昇圧セル数を可変する構成としているので、特に出力電位が低いうちには多數の昇圧セルを出力に対して並列接続された昇圧回路とすることにより、出力電位が低い箇の電力効率を上げることができ、昇圧電位立ち上がり時間も短縮し得る昇圧回路、及びこのような昇圧回路を備えた不揮発性半導体記憶装置を実現することが可能となる。

【図面の概要な説明】

【図1】第1の実施例に係わる昇圧回路の振時構成を示すブロック図。
 【図2】第1の実施例における昇圧セル群の接続状態を示す接続図。
 【図3】第1の実施例における出力波形を従来と比較して示す特性図。
 【図4】第2の実施例に係わる昇圧回路の振時構成を示すブロック図。
 【図5】第3の実施例に係わる昇圧回路の振時構成を示すブロック図。
 【図6】第4の実施例に係わる昇圧回路の振時構成を示すブロック図。
 【図7】第5の実施例に係わる昇圧回路を示すもので、接続切換え回路の具体的構成を示す回路構成図。
 【図8】第5の実施例に係わる昇圧回路を示すもので、接続切換え回路の具体的構成を示す回路構成図。
 【図9】図8の昇圧回路に用いたブート回路の具体的構成を示す回路構成図。

【図10】図9のブート回路における各部の信号波形図。

【図11】第7の実施例に係わる昇圧回路の具体的構成を示す回路構成図。

【図12】第7の実施例における駆動パルス波形を示す図。

【図13】第8の実施例に係わる昇圧回路の具体的構成を示す回路構成図。

【図14】第8の実施例における駆動パルス生成回路を示す図。

【図15】第8の実施例における駆動パルス生成回路を示す図。

【図16】第8の実施例における駆動パルス生成回路を示す図。

【図17】第8の実施例における駆動パルス波形を示す図。

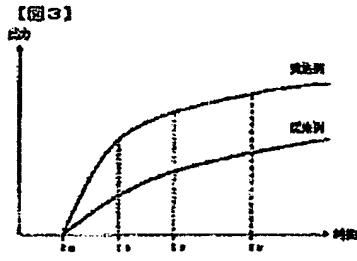
【図18】従来の昇圧回路の振時構成を示すブロック図。

【図19】従来の昇圧セルを示す回路構成図。

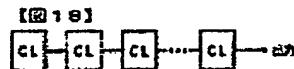
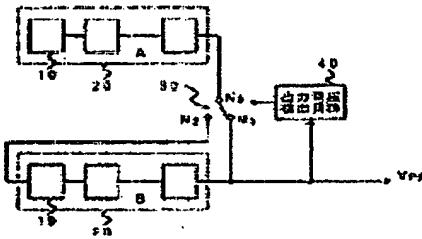
【図20】従来の昇圧回路のより具体的な回路構成及びクロック波形を示す図。

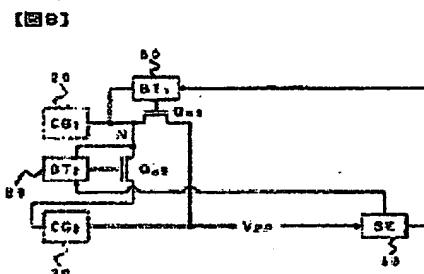
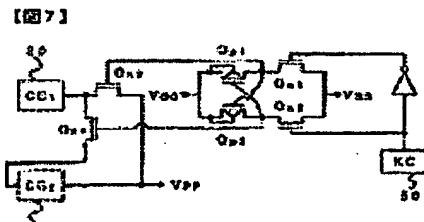
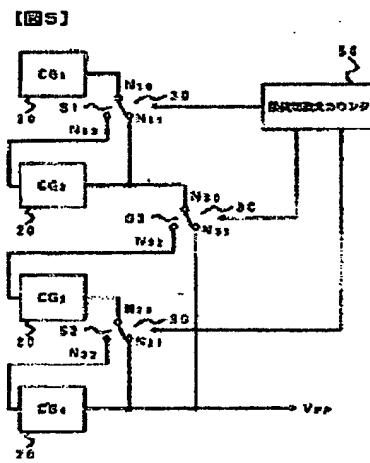
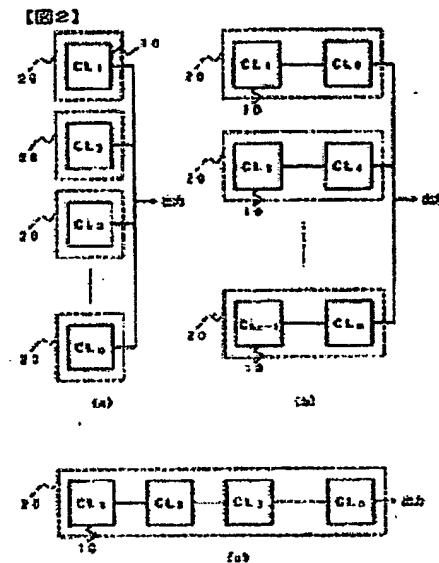
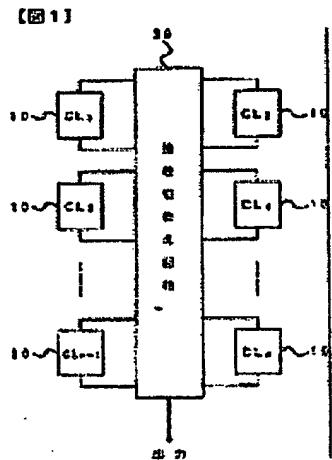
【符号の説明】

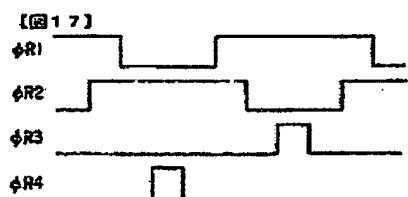
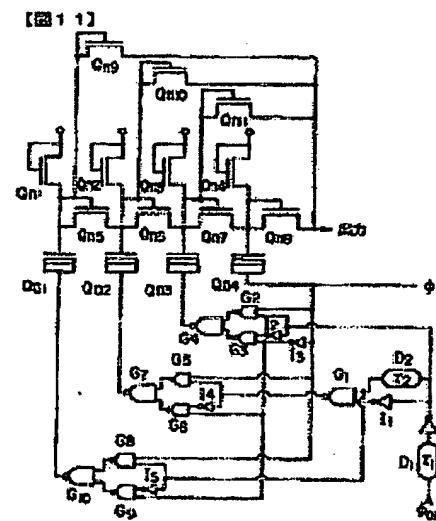
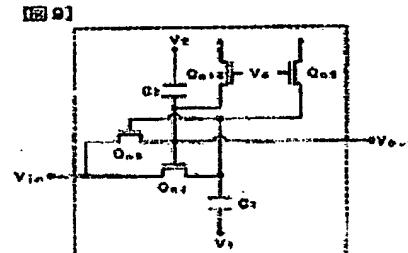
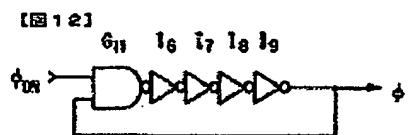
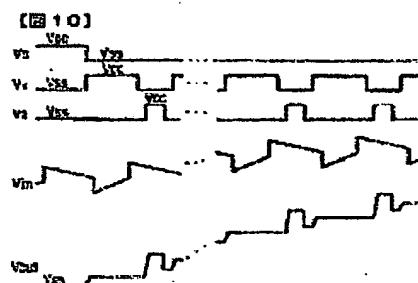
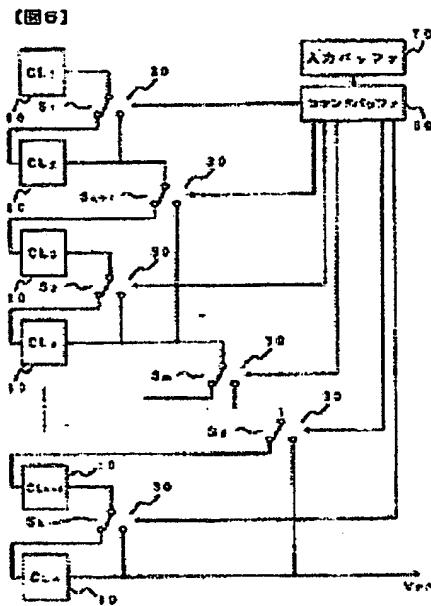
- 1.0…昇圧セル
- 2.0…昇圧セル群
- 3.0…接続切換え回路
- 4.0…出力電圧検出回路
- 5.0…接続切換えカウンタ
- 6.0…コマンドバッファ
- 7.0…入力バッファ
- 8.0…ブート回路

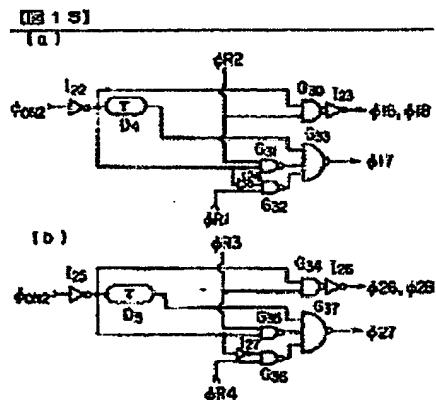
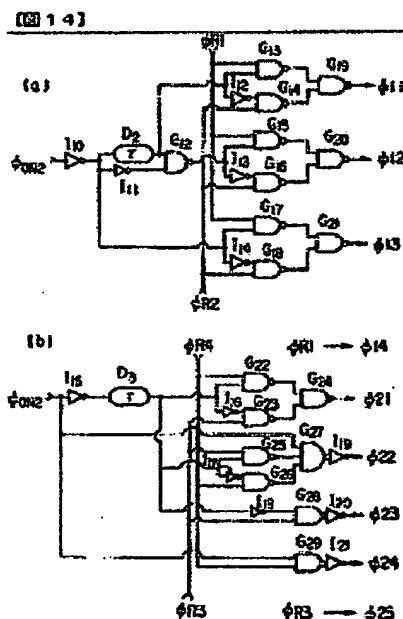
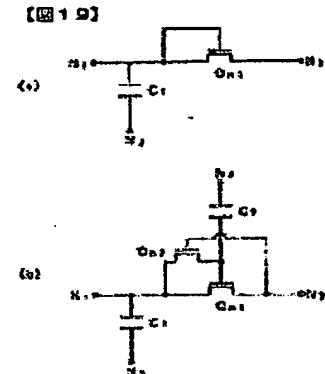
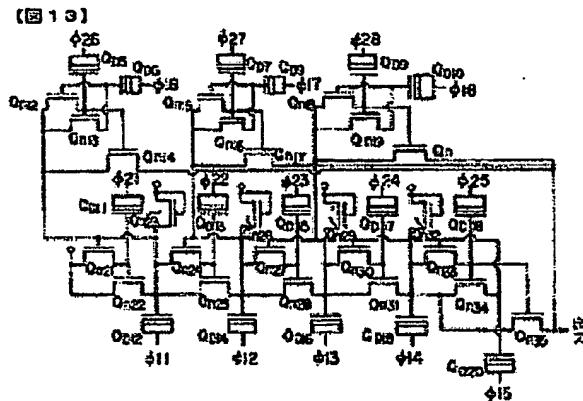


【図4】

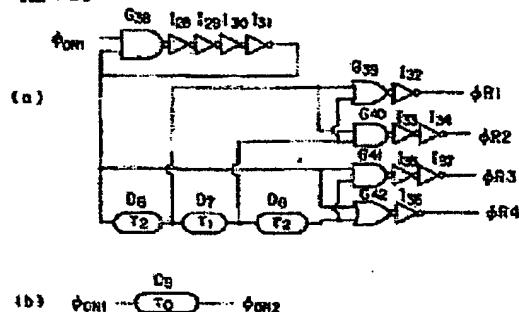




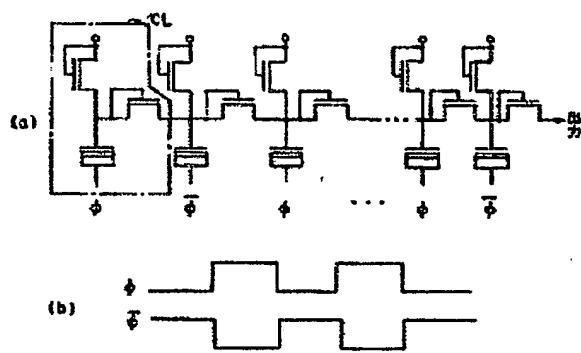




[図16]



[図20]



フロントページの焼き

(72)発明者 田中 裕幸
 神奈川県川崎市幸区幸川町380番1号 様
 式会社東芝半導体システム 技術センター内